

FPGA搭載ハードIPを用いたPCI Express構築

PCI Express Gen3 のFPGAを使用した実現例



Agenda

- ・ コンセプト
- ・ FPGAでPCI Expressを実現に必要なこと
- ・ PCI Expressの論理性能
- ・ 高速化のポイント
- ・ 実装上の注意点
- ・ シミュレーション
- ・ Gen3対応
- ・ AVAL製PCI Express周辺IPについて

コンセプト

- ・FPGA搭載PCI Express Hard IPを使用
- ・最小限の費用

開発環境:

コンパイラ、シミュレータ、バスファンクションモデル、等

評価環境:

評価用基板、測定器、等

- ・実用的かつ、汎用的に使用可能なこと
- ・高性能

PCI Expressの理解

- PCIとソフトウェアレベルでの互換性

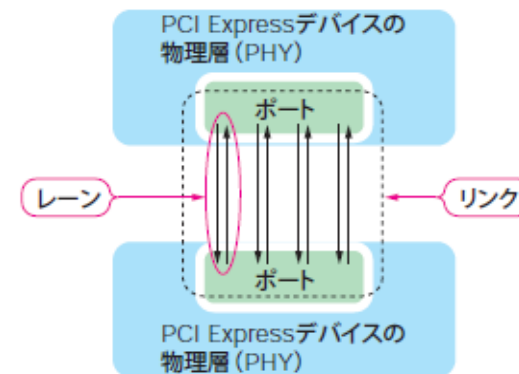
レジスタレベルで上位互換

電氣的、形状的な互換性はない

- Embedded Clock型シリアルI/F

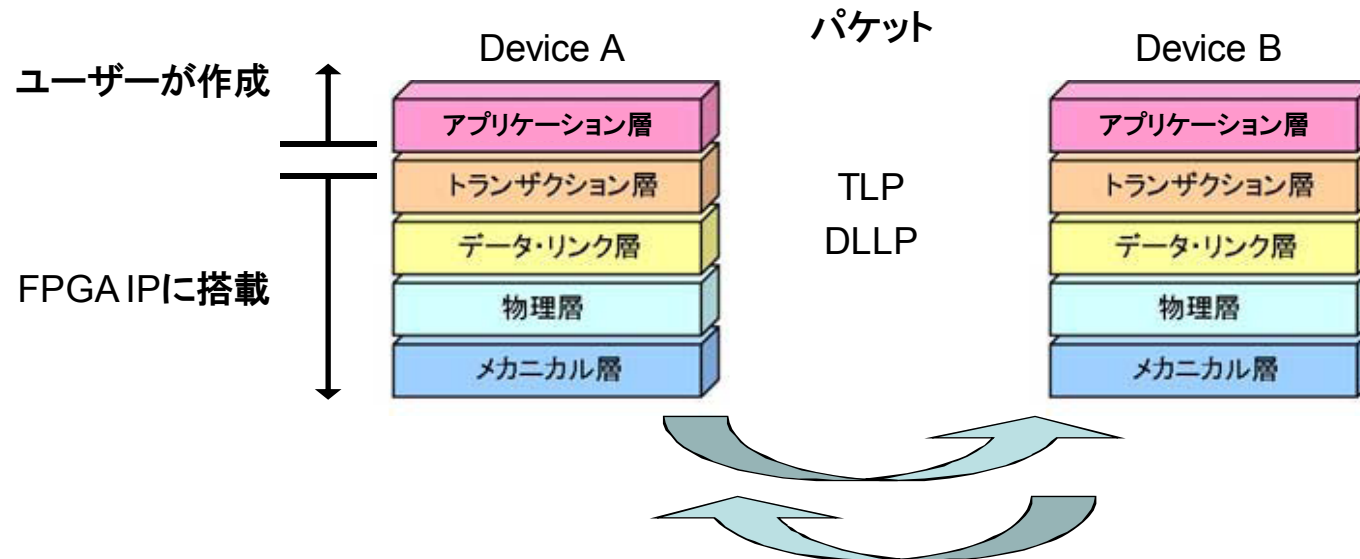
- パケット通信方式

- フローコントロール



PCI Expressの理解

・Ethernet(TCP/IP)に似た階層構造



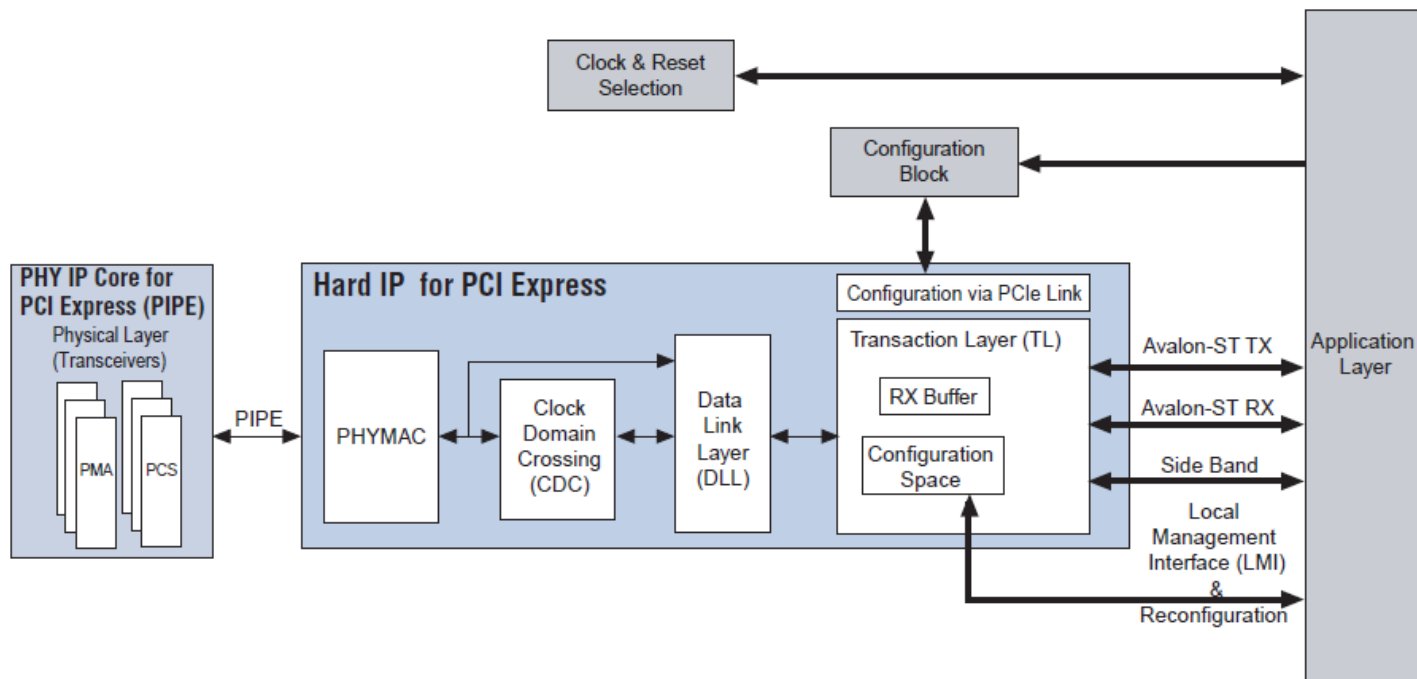
アプリケーション層とトランザクション層のインターフェイスは

TLP(トランザクションレイヤーパケット)

⇒PCI Expressを意識する必要あり

FPGA搭載PCI Express Hard IPの理解

- Altera社 PCI Express Hard IPのブロック図



FPGA搭載PCI Express Hard IPの理解

Hard IPで出来ること・出来ないこと

	必要とされる機能	対応
物理層	全て	○
データリンク層	全て	○
トランザクション層	フロー制御	△
	MSI-X割り込み	△
	上記以外	○
アプリケーション層	TLP生成／解析	×
	データ分割／再構築	×
	FPGAメーカー独自I/F対応	×
	メモリマップI/F化	×

PCI系バスのピーク性能

	バス幅 (bit)	信号速度 (bps/bit)	ピーク性能 (GByte/sec)
PCI	32	33M	0.13
PCI-X	64	133M	1.06
PCI Express Gen1	1～32	2.5G	0.25/Lane
PCI Express Gen2	1～32	5G	0.50/Lane
PCI Express Gen3	1～32	8G	1.00/Lane

※PCI/PCI-Xは半二重、PCI Expressは全二重(総帯域は二倍)

PCI Expressの論理性能(2)

PCI Expressの論理性能

Gen1 Speed(2.5Gbps) 4DW header/without ECRC

実質Payload Size(Byte)		16	32	64	128	256	512	1024
転送速度 理論値 MByte/sec	1 Lane	95.4	136.2	173.4	200.8	218.0	227.7	233.0
	4 Lane	381.5	545.0	693.6	803.1	871.9	911.0	931.8
	8 Lane	762.9	1089.9	1387.2	1606.2	1743.9	1821.9	1863.7
	16 Lane	1525.9	2179.8	2774.3	3212.4	3487.7	3643.9	3727.3

Gen2 Speed(5GT/s) 4DW header/without ECRC

実質Payload Size(Byte)		16	32	64	128	256	512	1024
転送速度 理論値 MByte/sec	1 Lane	190.7	272.5	346.8	401.5	436.0	455.5	465.9
	4 Lane	762.9	1089.9	1387.2	1606.2	1743.9	1821.9	1863.7
	8 Lane	1525.9	2179.8	2774.3	3212.4	3487.7	3643.9	3727.3
	16 Lane	3051.8	4359.7	5548.7	6424.8	6975.4	7287.8	7454.7

Gen3 Speed(8GT/s) 4DW header/without ECRC

実質Payload Size(Byte)		16	32	64	128	256	512	1024
転送速度 理論値 MByte/sec	1 Lane	375.6	536.6	682.9	790.7	858.5	897.0	917.5
	4 Lane	1502.4	2146.3	2731.6	3163.0	3434.1	3587.8	3670.0
	8 Lane	3004.8	4292.6	5463.3	6325.9	6868.1	7175.7	7340.0
	16 Lane	6009.6	8585.2	10926.6	12651.8	13736.3	14351.3	14680.0

単位:MB/sec
MB=1024×1024Byte

- ・エンコード(8B10B、128B130B)とヘッダロスのみを考慮
(UpdateFC、SkipOrderset等でも若干のロスが発生する)
→実装する回路により更にロスが発生する。
- ・最大ペイロードサイズは、128 or 256Byteが一般的(PC・サーバー)

取得する必要がある情報

パケット生成及び制御の為、リンクアップ後に取得が必要な情報

MaxPayloadSize

1パケットに乘せることの可能なデータ量

MaxReadRequestSize

1つのリードリクエストパケットで要求可能なデータ量

MaxPayloadSizeと同等以上の数値となる。

TC／VCマップ

トラフィッククラスとバーチャルチャネルの対応情報

Bus／Device／(Function)番号

Requester IDとして使用

Flow Control Credit Size

対向デバイスが受信可能なパケット量を示す情報

PCI Expressでは、受信可能なパケット以上を送信してはならない

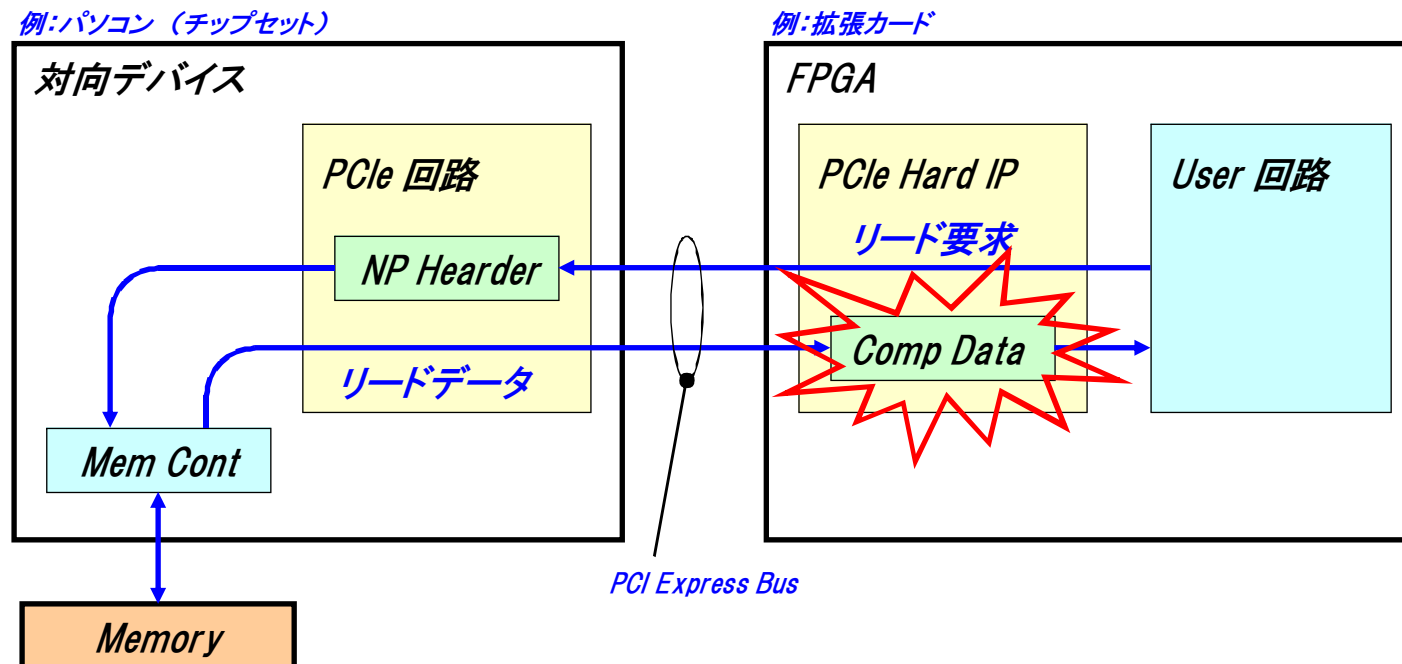
名称	Config		メモリ		メッセージ
	リード	ライト	リード	ライト	受信
Posted Data				○	○
Posted Header				○	○
Non-Posted Data	○	○			
Non-Posted Header	○	○	○		
Completion Data	○	○	○		
Completion Header	○	○	○		

”基本的”にCreditSizeはFPGA搭載IP内で処理される

Apprication回路内での考慮は不要だが・・・

クレジット管理(一部User回路で管理が必要)

Read時の自身のCompletion Data Bufferの、Over Flow管理はUser回路で行う必要がある。
⇒自身が受け取れない可能性がある要求は発行してはいけない。



実装上の注意点(3)TLP packets①

TLPパケットの生成／解析

TLPヘッダのフォーマット

Request Header Short

32bitアドレス空間のアクセス時使用

7 6 5 4 3 2 1 0	7 6 5 4 3 2 1 0	7 6 5 4 3 2 1 0	7 6 5 4 3 2 1 0
Fmt 0 x 0	Type	R TC R At [2] R T H D P Attr [1:0] AT	Length
Requester ID		Tag	Last DW BE 1st DW BE
Address[31:2]			R

Request Header Long

32bitアドレス空間外のアクセス時使用

7 6 5 4 3 2 1 0	7 6 5 4 3 2 1 0	7 6 5 4 3 2 1 0	7 6 5 4 3 2 1 0
Fmt 0 x 1	Type	R TC R At [2] R T H D P Attr [1:0] AT	Length
Requester ID		Tag	Last DW BE 1st DW BE
Address[63:32]			
Address[31:2]			R

Completion Header

リードリクエストのデータ返送時使用

7 6 5 4 3 2 1 0	7 6 5 4 3 2 1 0	7 6 5 4 3 2 1 0	7 6 5 4 3 2 1 0
Fmt 0 x 0	Type	R TC R At [2] R T H D P Attr [1:0] AT	Length
Completer ID		Cpl Sts B C M	Byte Count
Requester ID		Tag	R Lower Address

実装上の注意点(3)TLP packets②

TLPヘッダ詳細(1/2)

略称	名称	Bit	説明	アプリケーション層(ユーザー回路)での実装
Fmt	Format		000:3 DW header, no data 001:4 DW header, no data 010:3 DW header, with data 011:4 DW header, with data 100:TLP Prefix	適切な情報でヘッダ生成
Type	Type		00000:Memory Request (Read/Write) 01010:Completion 10RRR:Message Request ※アプリケーション層の対処が必要なTypeのみ記載	
TC	Traffic Crass		パケットの優先度	TC/VCマップ情報を使用
TH				(通常は0)
TD	TLP Digest		ECRCの有無 0:あり、1:なし	ECRC対応時は、適切な情報でヘッダ生成 ECRC未対応時は、無視
EP	Bad TLP		パケット異常 0:正常、1:異常	受信時はFPGA Hard IP内で削除される 送信時は0
Attr		2	ID Based Ordering	省略(通常は0で可)
		1	Transaction Ordering 0:Default、1:Relax	Read CompletionがMemory Write/Messageを追い越す事を許可します。許可時はデータの整合性について考慮要
		0	Snoop Order	省略(通常は0で可)
AT	Address Type		Address Type	Address Translation Serviceを使用時設定(通常は0)
Length	Length		パケットのデータ長 DW(Double Word)単位で記載	適切な情報でヘッダ生成

実装上の注意点(3)TLP packets③

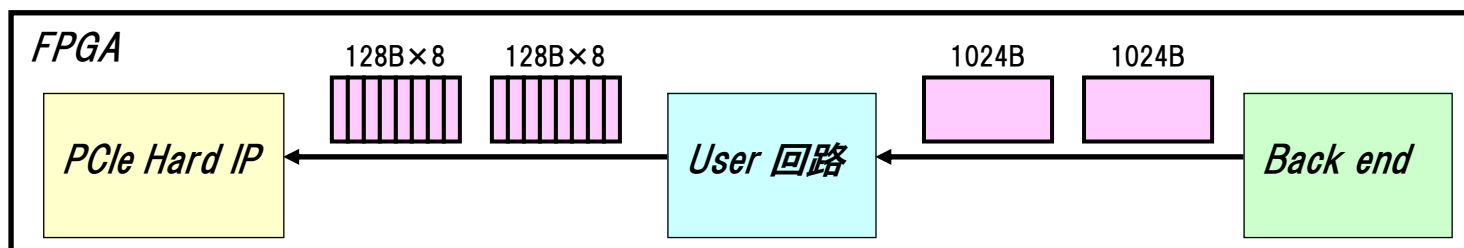
TLPヘッダ詳細(2/2)

略称	名称	Bit	説明	アプリケーション層(ユーザー回路)での処置
ReqID	Requester ID		Requester側のBus/Device/Function番号 Switchのルーティングや、パケットの管理に使用	Request時:Requester側が生成 Completion時:対応するRequestパケットで通知された情報を付加
CompID	Completer ID		Completer側のBus/Device/Function番号 Switchのルーティングや、パケットの管理に使用	Completer側が生成
Tag	Tag		Read管理用Tag番号 Readデータの順序制御に使用する。 Read Request~Completion完了までの間、同一値の使用は不可。 PCI Expressでは、Completionの順序は保証されない。	Read Request時:Requesterが生成 Write Request時:不要(任意の数値で可) Completion時:Request Packetで指定された番号 ※8bitアサインされているが、使用可能なTAG数は実装により異なる。Altera社のFPGA Hard IPでは32個or64個。
1st DW BE	1st DW Byte Enable		32bit単位の最初のデータのByte Enable値 0:Disable、1:Enable	適切な情報でヘッダ生成 ※同一パケット内でByteAddressが連続となる様にEnableにする必要がある。不連続になる場合はパケットを分けなければならない。
Last DW BE	Last DW Byte Enable		32bit単位の最後のデータのByte Enable値 0:Disable、1:Enable	
Address	Address		Address Request時に指定	適切な情報でヘッダ生成
Comp Sts	Completion Status		000:Success Completion (SC) 001:Unsupport Request (UR) 010:Configuration Request Retry (CRS) 100:Completer Abort (CA)	適切な情報でヘッダ生成 但し、Application 層でUR、CAを返送すると基本故障扱い。
BCM	Byte Count Modified		PCI-X Completer使用時Byte Countの扱いが変わる	—
Byte Count	Byte Count		Read Requestに対する残りバイト数 現行パケットも含めた残りバイト数	適切な情報でヘッダ生成
Lower Address	Lower Address		Read Completion時にそのパケットの先頭データのアドレス値を記載	適切な情報でヘッダ生成

パケット分割

1パケットに搭載可能なデータサイズの規定により、パケットの分割が必要となる

影響するパラメータ	対象パケット
Max Payload Size	Write Request Read Completion
Max Read Request Size	Read Request
4KByteバウンダリ超えの禁止	すべてのパケット
Read Completion Boundary	Read Completion

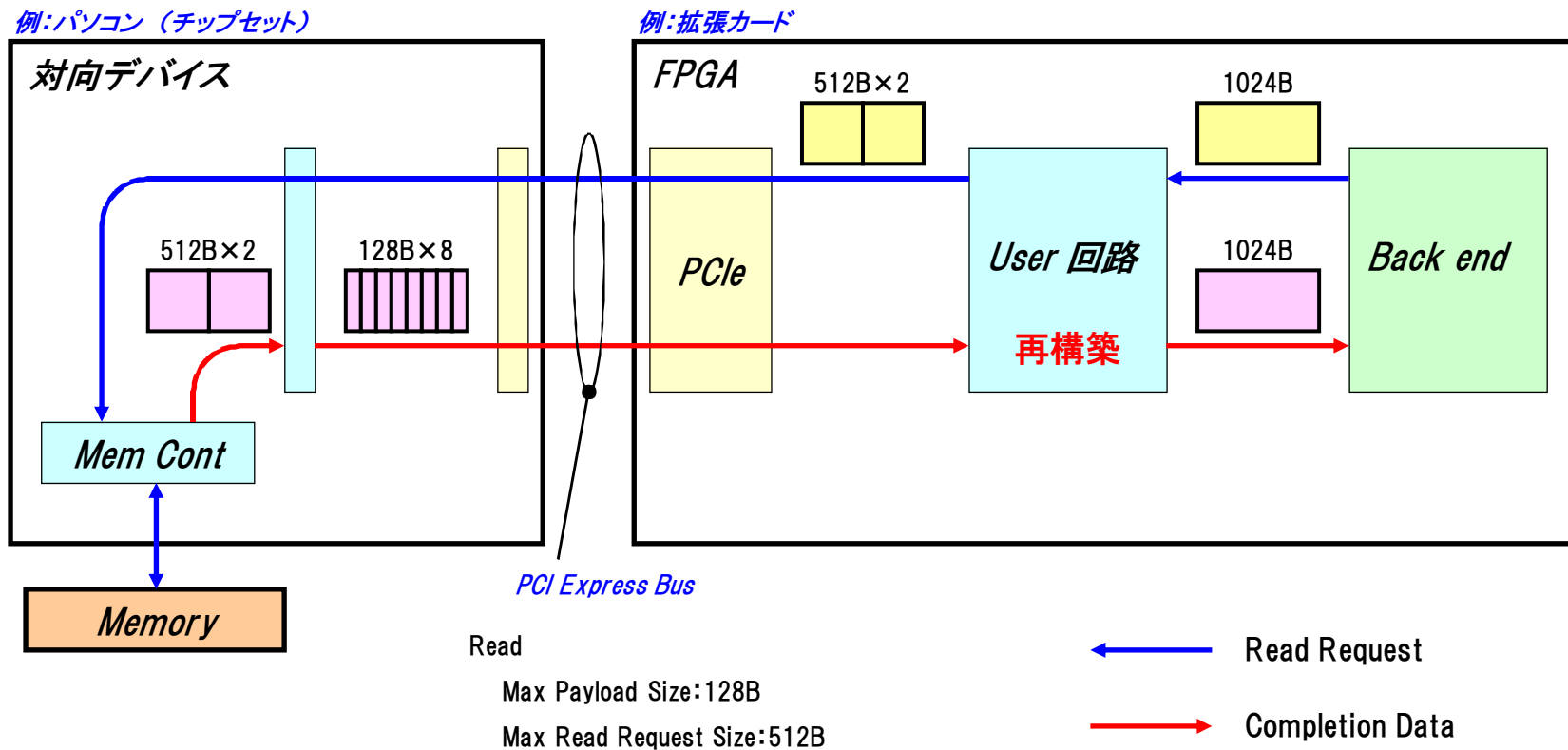


Write

Max Payload Size:128B

データの再構築

前述のパケット分割により、Read系に関しては再構築が必要



データの並べ替え

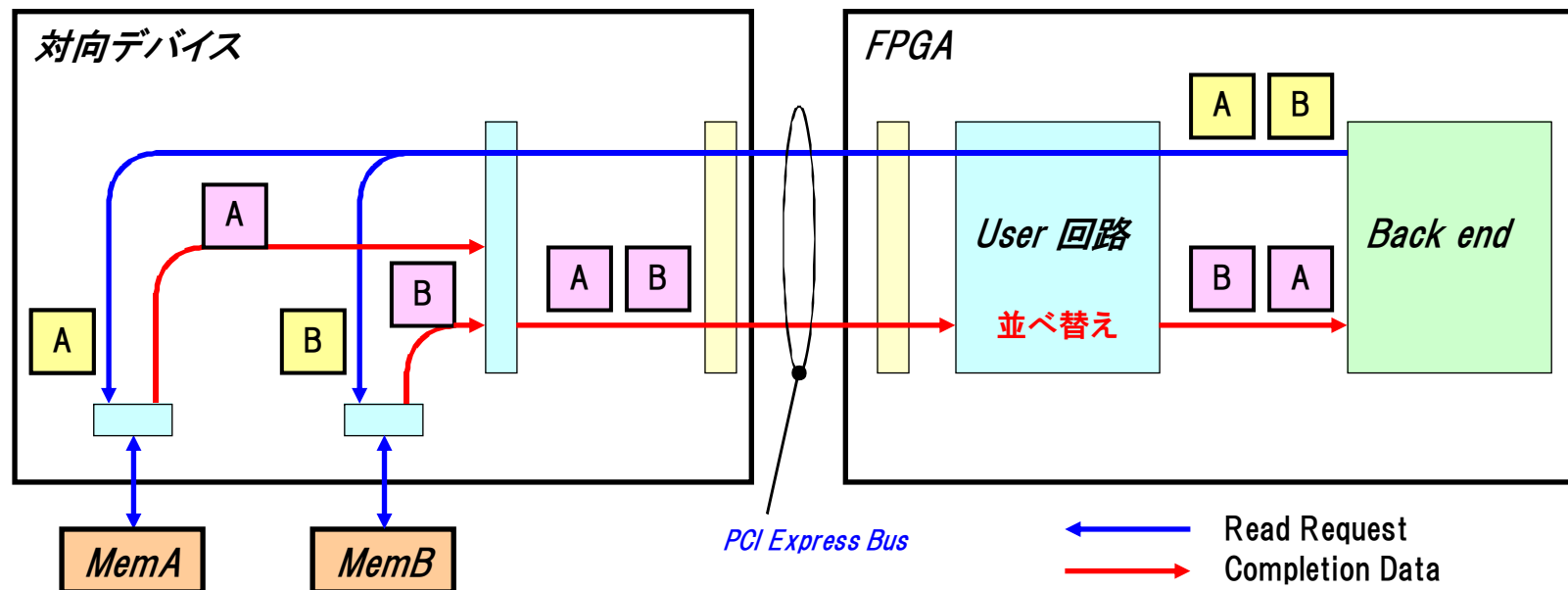
異なったRead Requestに対するCompletion順序は保障されない

同一Read Requestに対するCompletionは順序が保障される

言い換えると・・・

CompleterはRequest順を守ってCompletionを行う必要は無い

Completerが分割したパケットの順序が入れ替わることは無い



アライメントの調整

Hard IPとのパケット入出力は、FPGAベンダ毎に異なったインターフェイスに変換されて、ユーザー回路と接続される。

Altera社のIPの場合、Avalon-STインターフェイスに変換される。

Avalon-STバスでの注意点

① ヘッダサイズと先頭アドレスによりデータアライメントが変化する。

Figure 5-10. 128-Bit Avalon-ST rx_st_data<n> Cycle Definition for 3-DWord Header TLPs with QWord Aligned Addresses

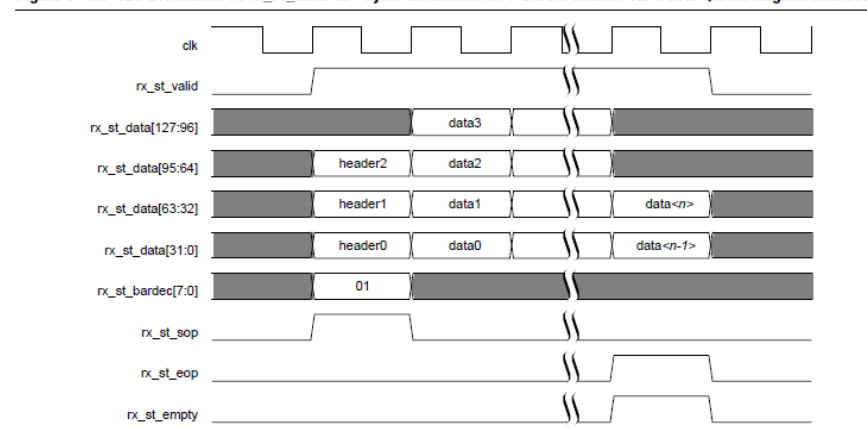
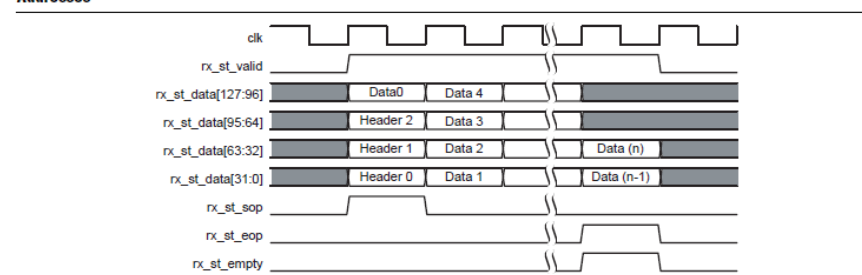


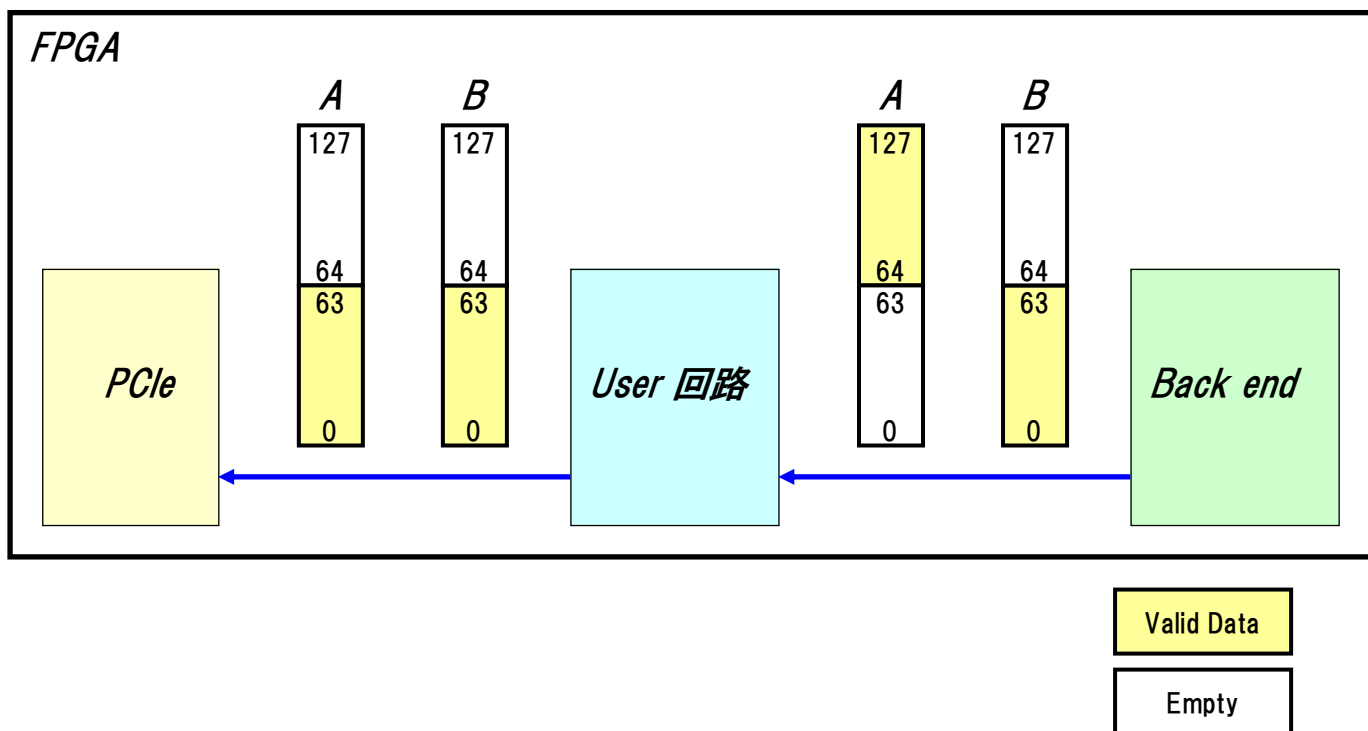
Figure 5-11. 128-Bit Avalon-ST rx_st_data<n> Cycle Definition for 3-DWord Header TLPs with non-QWord Aligned Addresses



アライメントの調整

Avalon-STバスでの注意点 つづき

- ② 64bit単位でしかデータのアライメントが保障されない為、128bit以上のバス幅では Backend Busとの間でデータの並べ替えが必要



割り込みの実装

Legacy割り込み(INT A/B/C/D)使用時

- ・レベルセンス割り込み
ON/OFFの両方を通知する。
- ・回路実装に特別な考慮は不要
- ・通知のレイテンシーが大きい（複数の割り込みがシェアされる為）

MSI割り込み使用時

- ・エッジセンス割り込み
発生したことのみの通知
割り込み発生／クリアのタイミングにより、検出漏れ発生の可能性があり
再送制御が必要
- ・通知のレイテンシーが小さい（数分の1・・・システムによる）

Legacy / MSI共、規格上は必須の機能

1) 1パケットに極力多くのデータに乗せる

MaxPayloadSizeに近いデータ転送を行う ⇒ DMA転送

2) パケット間隔を無くす

パイプライン処理

リード要求の連続発行

3) 十分なクレジット(バッファ)量の確保

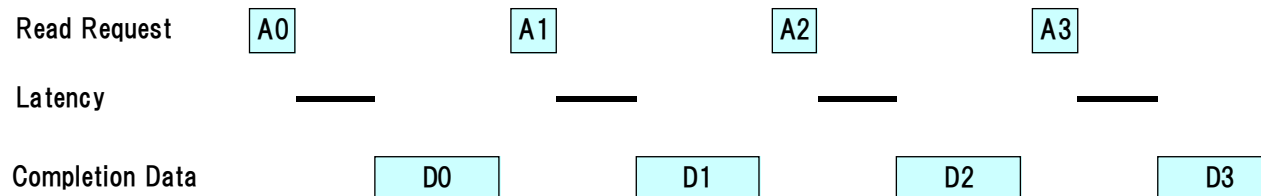
対向デバイスにも依存

4) MSI割り込みの使用

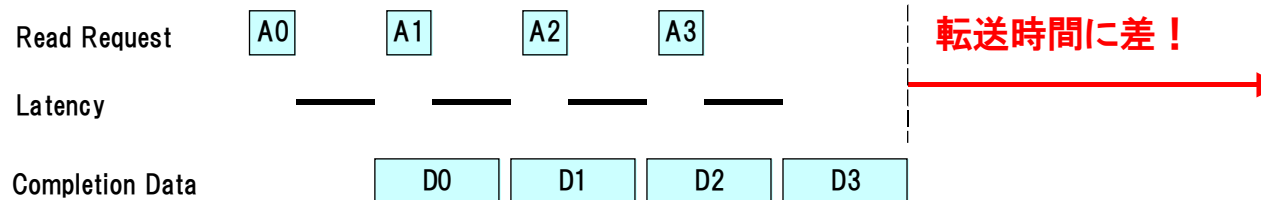
パケット間隔を無くす

リード要求の連続発行

リードをシーケンシャルに行った場合（インターロック型バス）

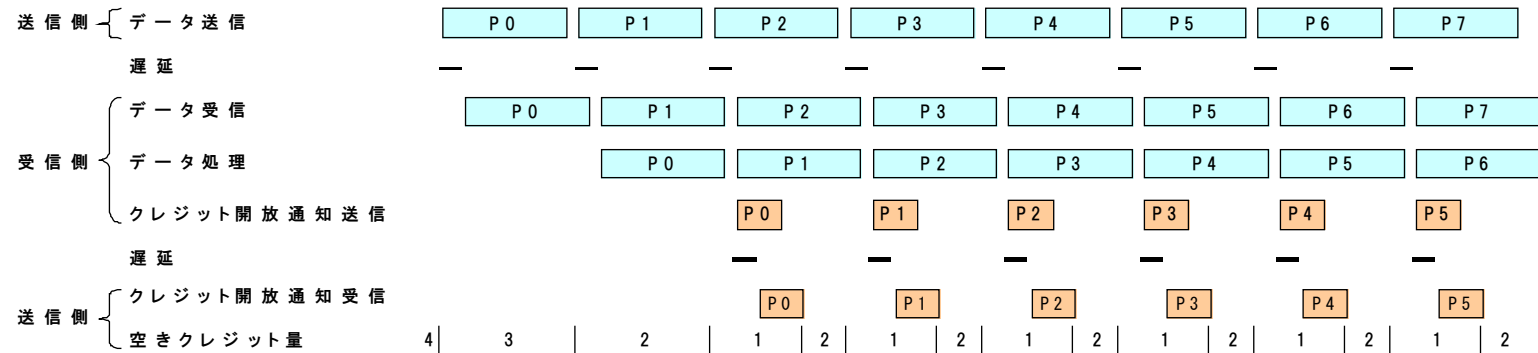


リード要求処理をデータ処理と分離した場合（スプリット型バス）

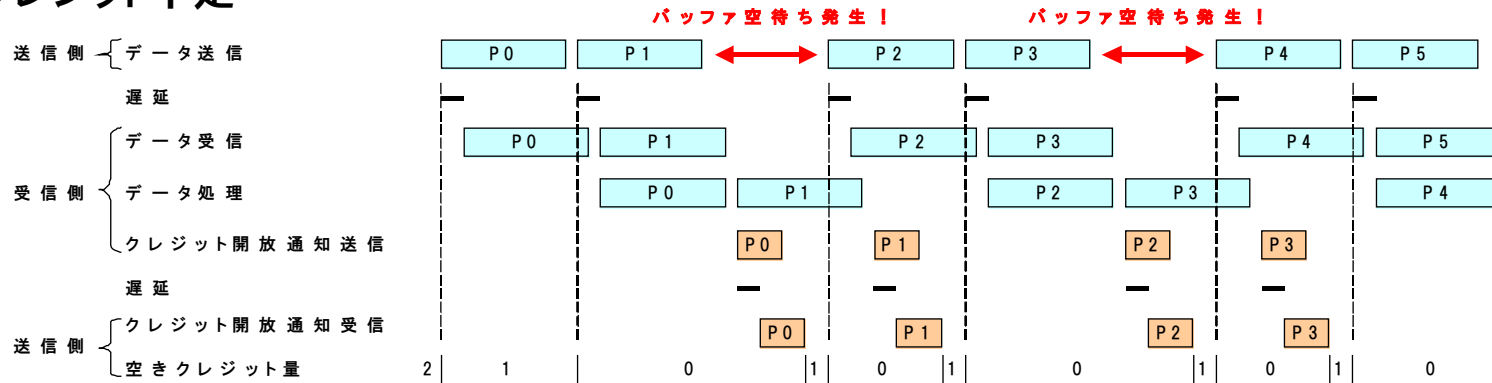


十分なクレジット(バッファ)量の確保

クレジット十分



クレジット不足



シミュレーションに必要なもの

シミュレータ

ModelsimPE/SEを使用

比較的新しいバージョンが必要

⇒提供されるライブラリが要求

Xilinx: Secure IP

Altera: 最近のQuartus + 古いModelsimでライブラリのコンパイルエラーに...

シミュレーションモデル (PCI Express Hard IPそのもののモデル)

FPGAメーカーが用意しているモデルを使用

バスファンクションモデル (PCI Express 対向デバイスのモデル)

FPGAメーカーが用意しているモデルを使用

→限られたFunctionしか無い為、不足部分を補う必要あり

考慮すべきこと

①内部バスが高速化、多ビット化

- ・後段回路の設計難易度UP
- ・多ビット化により回路規模UP

②Transceiver Reconfiguration

整を行う為の機能

- ・Altera社がIP提供
- ・Gen1、2は接続するだけでOK
- ・Gen3の場合は、イコライザ(AEQ)を有効にする為のレジスタ設定必要

③評価環境の構築

- ・機材(オシロスコープ、アナライザ、BART、CBB/CLB、等)

Table 1-6. Stratix V Recommended Speed Grades for All Avalon-ST Widths and Frequencies

Link Rate	Link Width	Interface Width	Application Clock Frequency (MHz)	Recommended Speed Grades
Gen1	x1	64 bits	62.5 ⁽¹⁾ , 125	-1, -2, -3, -4
	x2	64 bits	125	-1, -2, -3, -4
	x4	64 bits	125	-1, -2, -3, -4
	x8	64 bits	250	-1, -2, -3 ⁽²⁾
	x8	128 Bits	125	-1, -2, -3, -4
Gen2	x1	64 bits	62.5 ⁽¹⁾ , 125	-1, -2, -3, -4
	x2	64 bits	125	-1, -2, -3, -4
	x4	64 bits	250	-1, -2, -3 ⁽²⁾
	x4	128 bits	125	-1, -2, -3, -4
	x8	128 bits	250	-1, -2, -3 ⁽²⁾
Gen3	x8	256 bits	125	-1, -2, -3, -4
	x1	64 bits	125	-1, -2, -3, -4
	x2	64 bits	250	-1, -2, -3, -4
	x2	128 bits	125	-1, -2, -3, -4
	x4	128 bits	250	-1, -2, -3 ⁽²⁾
	x4	256 bits	125	-1, -2, -3, -4
	x8	256 bits	250	-1, -2, -3 ⁽²⁾

評価

DUT

- ① 弊社APX-3664
製品仕様はGen2x8 (Gen3x4対応予定)
- ② Altera社StratixV開発キット



APX-3664

評価内容

Gen2x8で動作確認済みの回路を、Gen3x4に変更

- ・実機動作確認
- ・Transmitter Test
- ・Receiver Test
- ・Protocol Test (暫定版)

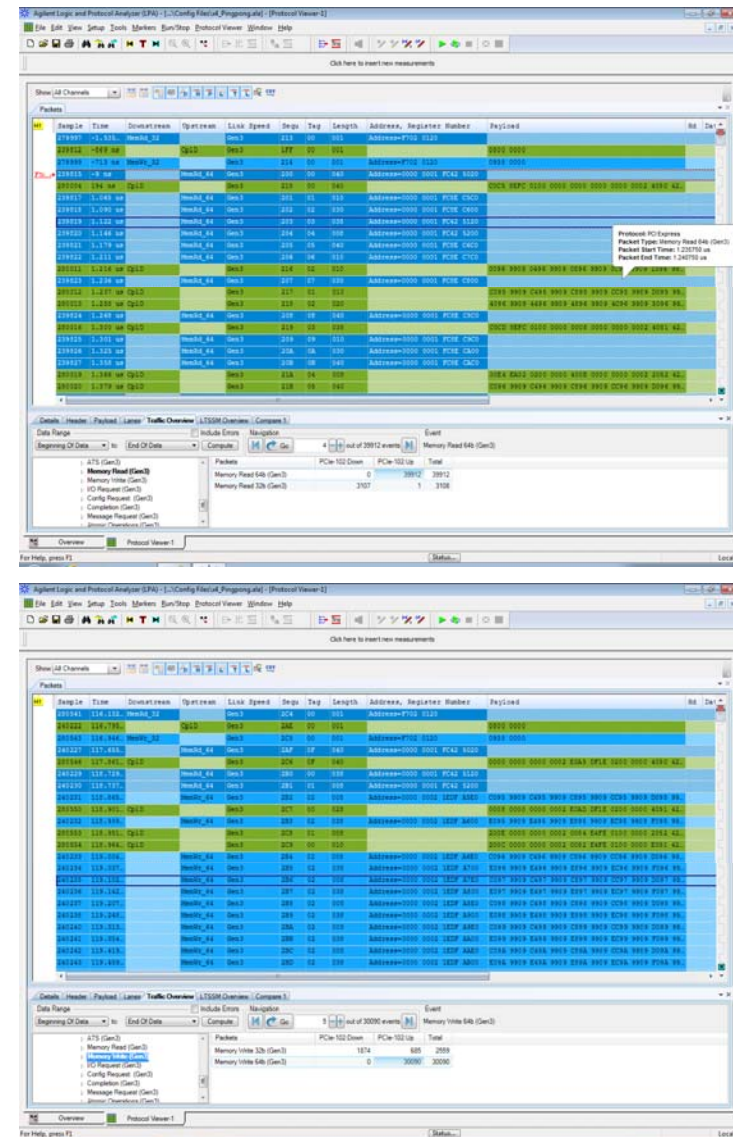
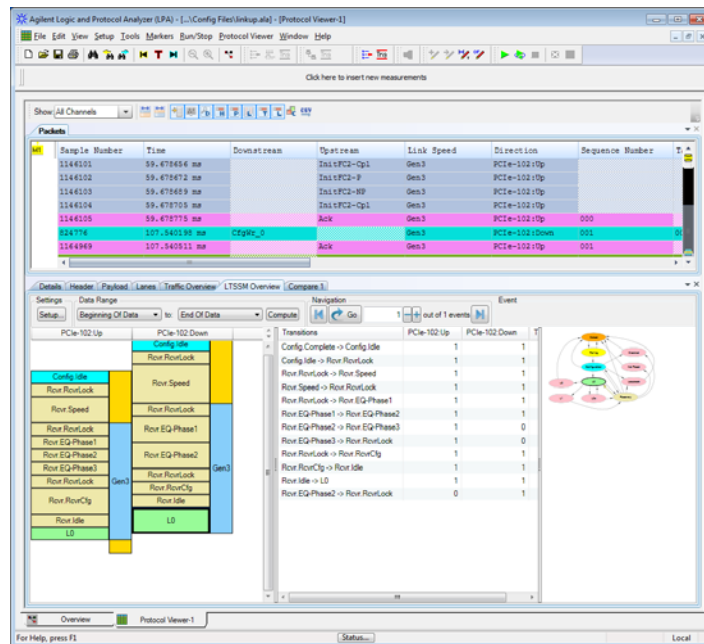


StratixV開発キット

Gen3対応 その3

評価結果1

- ・実機動作確認
特にトラブル無く、1回で動作
性能はGen2 × 8 ÷ Gen3 × 4



評価結果2

- ・ **Transmitter Test : Pass**

- ・ **Receiver Test**

Altera社ボードはPass

弊社ボードはPreset8でFail(Preset7はPass)

→Altera社ボードは低誘電材基板を使用しており、配線も短い

→弊社ボードはFR-4基板で、若干配線が長い

※イコライザの調整or基板の変更で改善するものと思われる。

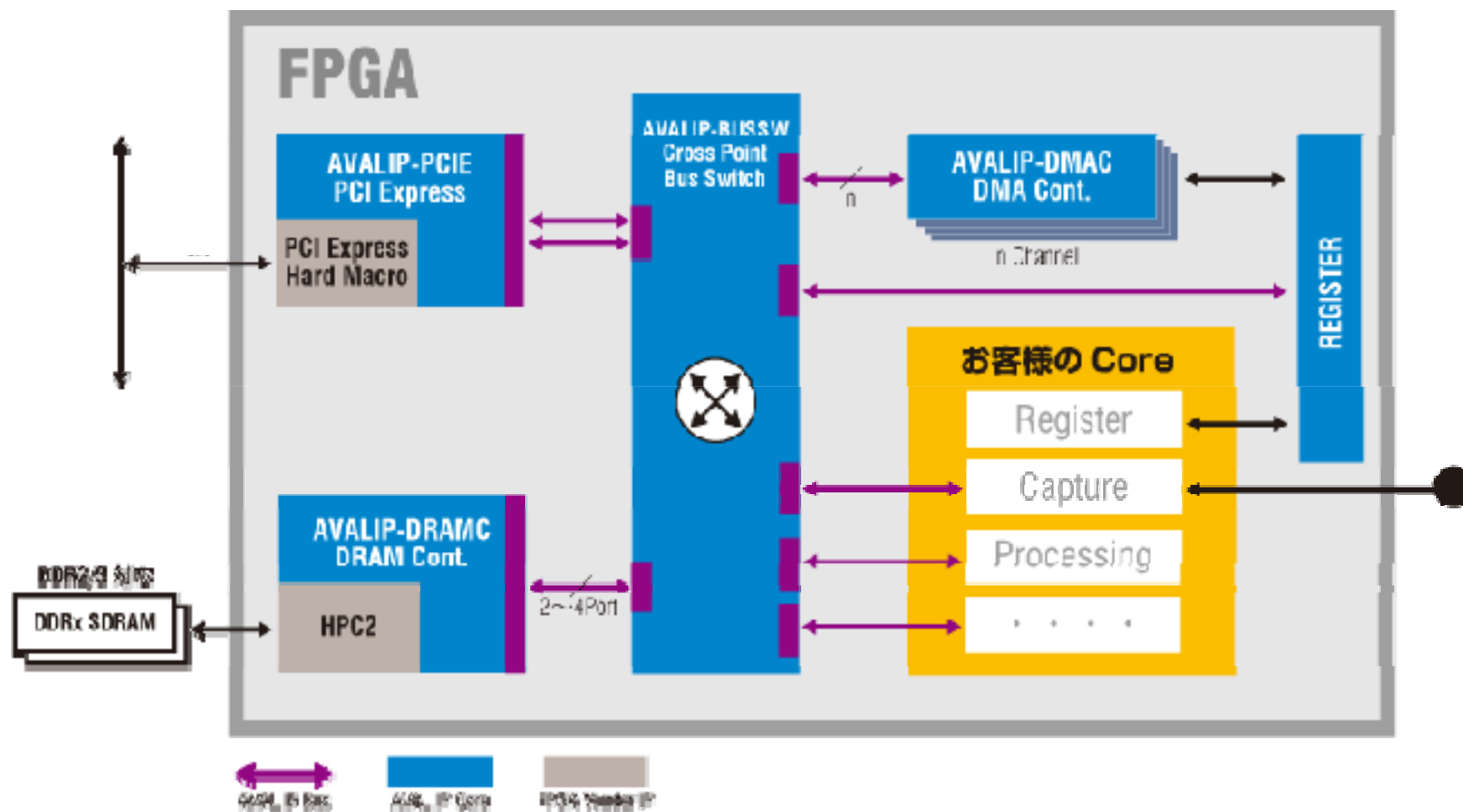
- ・ **Protocol Test : Fail**

テスト内でリンクスピードの変更を頻繁に行うが、正しく切り替わらない事がある。(通常のリンクアップ時に異常は発生しない)

※テストが暫定であるため判断が難しい

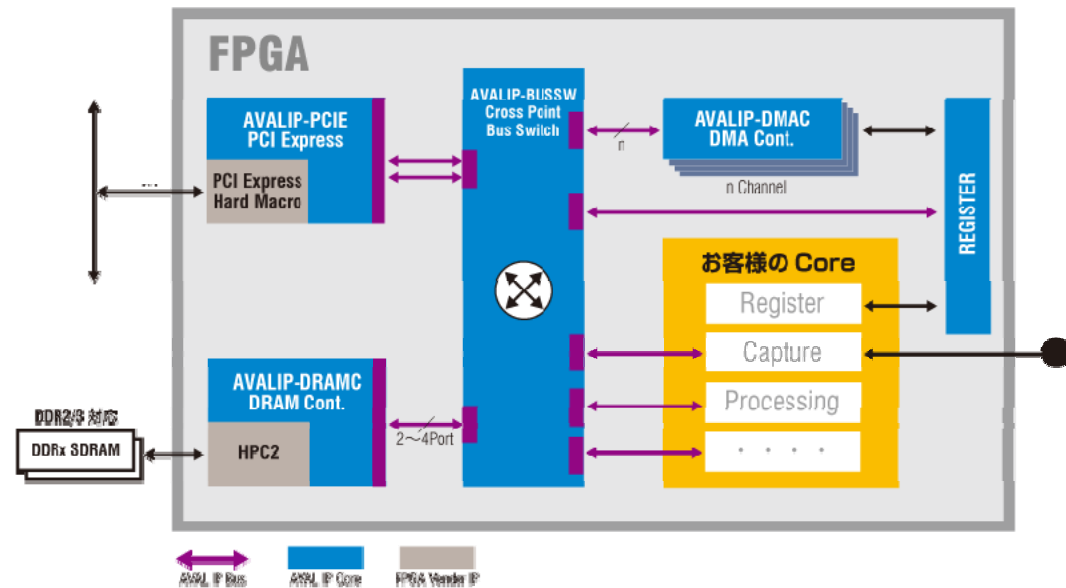
問題があるとした場合はデバイス依存の可能性が高い

構成例 IPを搭載した製品構成例



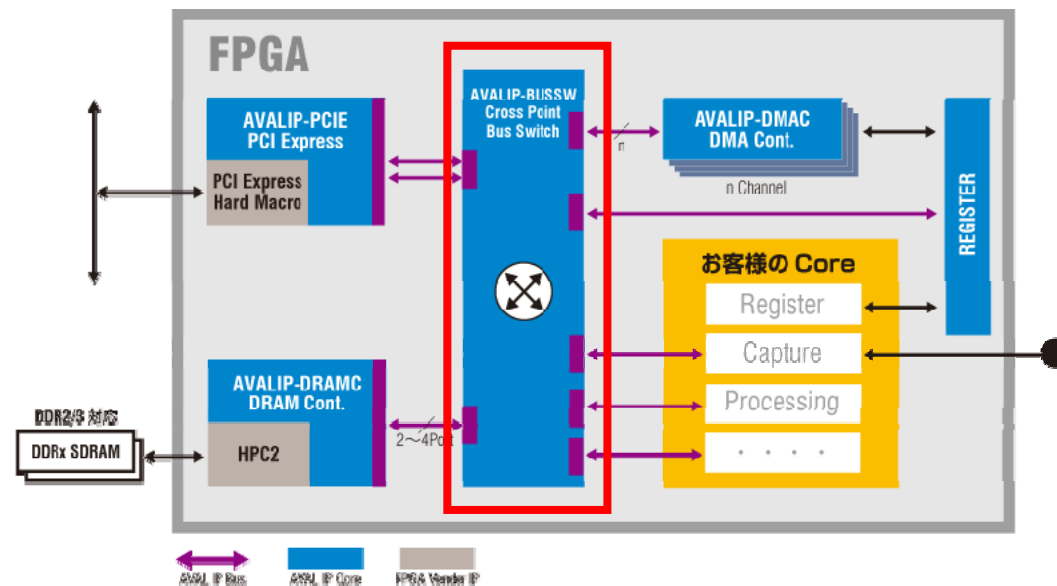
仕様: AVAL IP Bus

- 弊社IPは全てこのバスへ接続する為に作成
- スプリットトランザクション型バス
- Command / Write / Read の3Channelで1Portを構成
- 各IPはMaster Port、Target Portのいずれかあるいは両方を持つ
- Master、Targetは1対1であれば直接接続可能
- 複数のMaster/Targetを接続する場合はBus Switchを使用



Cross Point Bus Switch

- 多数のAVAL IP Busモジュール同士を接続
- Cross Point Switch構造なので、同時アクセスが可能
(アクセス対象が競合する場合は除く)
- ポート数をユーザーが任意に設定可能
- バス幅／アドレス本数も任意に設定可能



- Altera社 PCI Express Hard IPとセットで使用
- 対応

PCI Express Gen1~3 Speedに対応

- 128/256bit Data Bus に対応

(MaxPayloadSize:256Byteの環境において)



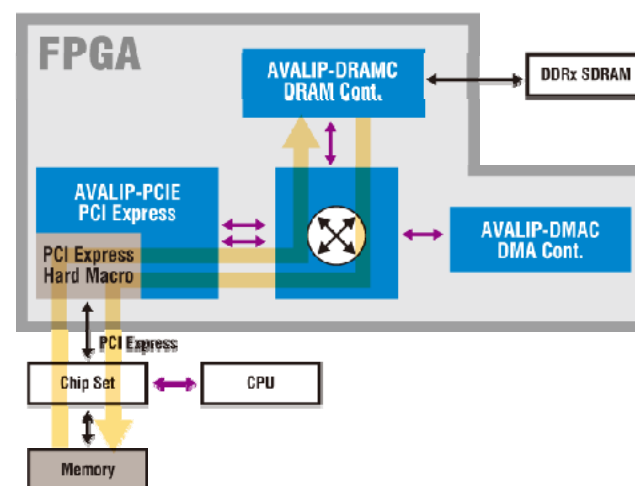
仕様: PCI Express IP ② (データ転送レート)

実測値

FPGA	Speed	Lane	FPGA→PCI		PCI→FPGA	
			DataRate (MB/sec)	a/t ratio	DataRate (MB/sec)	a/t ratio
StratixIV GX	Gen1	x4	864.5	99.2%	835.0	95.8%
		x8	1731.4	99.3%	1631.2	93.5%
	Gen2	x4	1729.2	99.2%	1638.7	94.0%
		x8	3376.4	96.8%	2936.6	84.2%
StratixV GX	Gen2	x4	1702.4	97.6%	1626.3	93.3%
		x8	3371.2	96.7%	2946.9	84.5%
	Gen3	x4	3317.1	96.6%	2920.8	85.1%
		x8	3317.1	96.6%	2920.8	85.1%
ArriaV GZ	Gen2	x4	1696.8	97.3%	1638.0	93.9%
		x8	3351.8	96.1%	2895.4	83.0%
	Gen3	x4	3328.0	96.9%	2923.2	85.1%
		x8	3328.0	96.9%	2923.2	85.1%

a/t ratio: 実測値÷理論値

1MB=1024×1024Byte

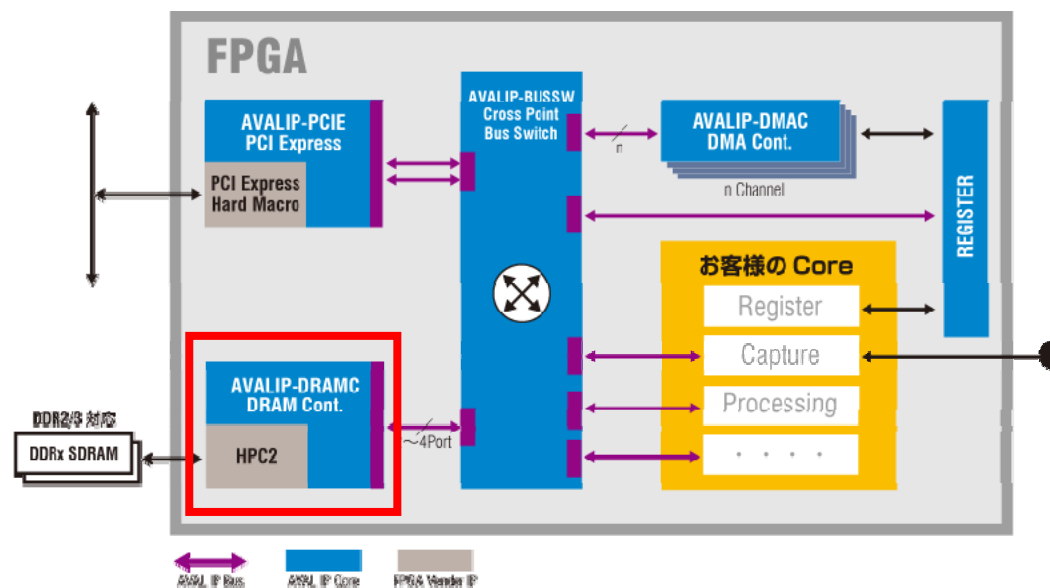


測定条件

- Max Payload Size:256Byte
- DMA Mode:Scatter/Getter
- PCI(PCのメインメモリ)⇄FPGA(FPGAに接続されたDDRメモリ)間の転送
- ディスクリプタはPCのメインメモリに配置
- DMA Controller、DRAM Controllerを使用し、DMA転送実施時に測定
- PCI空間は4KB単位で分断されたアドレス

DRAM Controller

- Altera社 DDRx SDRAM High Performance Controllerとセットで使用
- AVAL IP Busのポートをマルチポート化
→バスクロックやバス幅を上げ過ぎず、高速なメモリ帯域を使用可能
- ポート数: 2~4 (ユーザー設定)
- DDR2/3、32/64bitデータバスに対応 (DIMMも可)



仕様: DRAM Controller IP ② (データ転送レート)

実測値

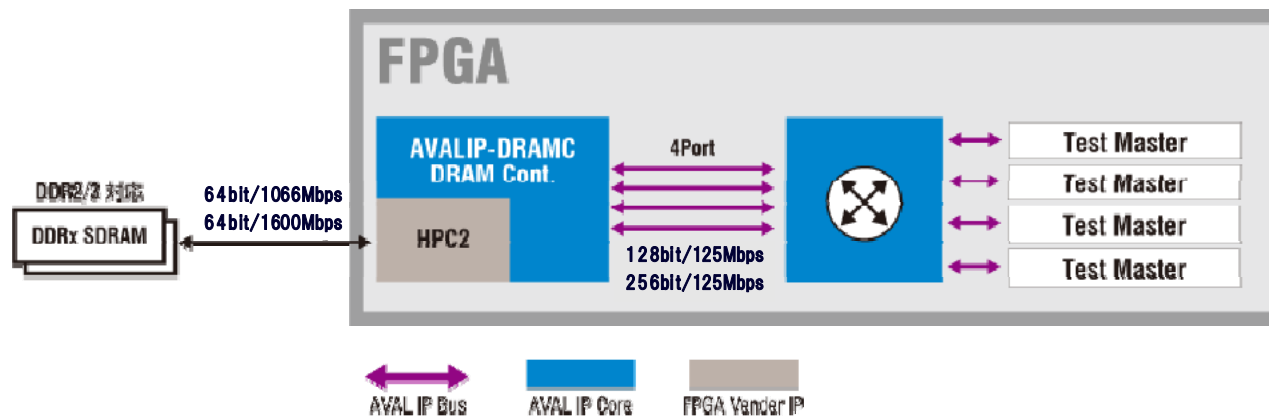
構成		1Port	2Port同時		4Port同時			
			Port1	Port2	Port1	Port2	Port3	Port4
DDR3-1066 内部128bit/125MHz	Read	1775.6	1775.6	1747.8	1771.5	1743.9	1743.9	1743.9
	Write	1743.9	1743.9	1743.9	1743.9	1743.9	1743.9	1743.9
DDR3-1600 内部256bit/125MHz	Read	3307.6	3307.6	3255.9	1967.9	1967.9	1967.9	1999.1
	Write	3212.4	3212.4	3212.4	2165.3	2165.3	2165.3	2165.3

(単位: MB/sec)

1MB=1024 × 1024Byte

測定構成

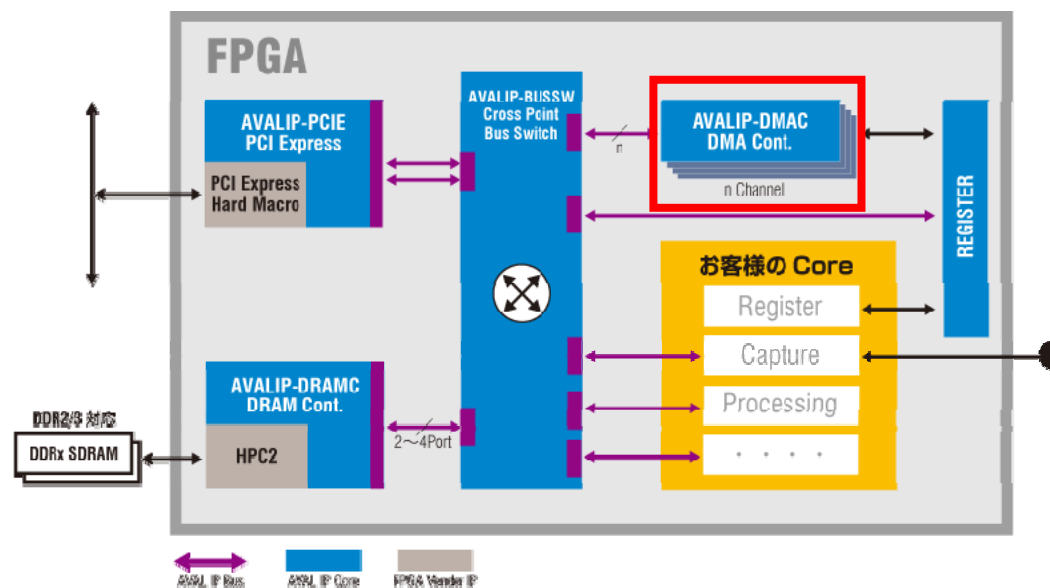
512Byte Payloadで連続Read/Writeを実施



DMA Controller

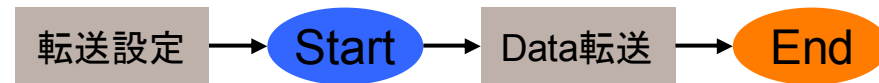
- AVAL IP Bus間のデータ転送をする機能
- One Shot Mode、Scatter/Getter Mode搭載
- Read専用、Write専用、Descriptor Read専用の3Portで構成される。
- 64bitアドレス空間、128/256bitデータバスに対応
- 32bit(4Byte)アライメントでの転送をサポート

4Byteのアドレス境界から、
4Byte単位での転送が可能



One Shot Mode

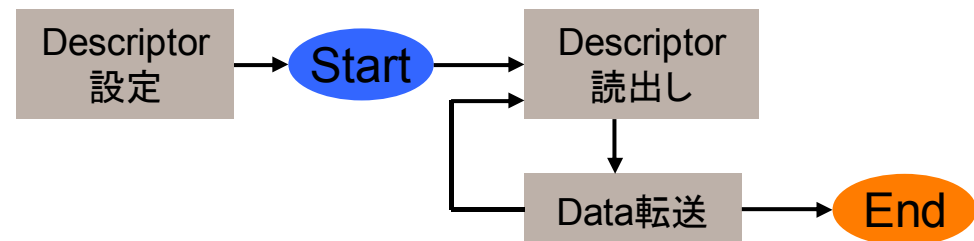
1回毎に転送元／転送先を設定する、シンプルなモード。

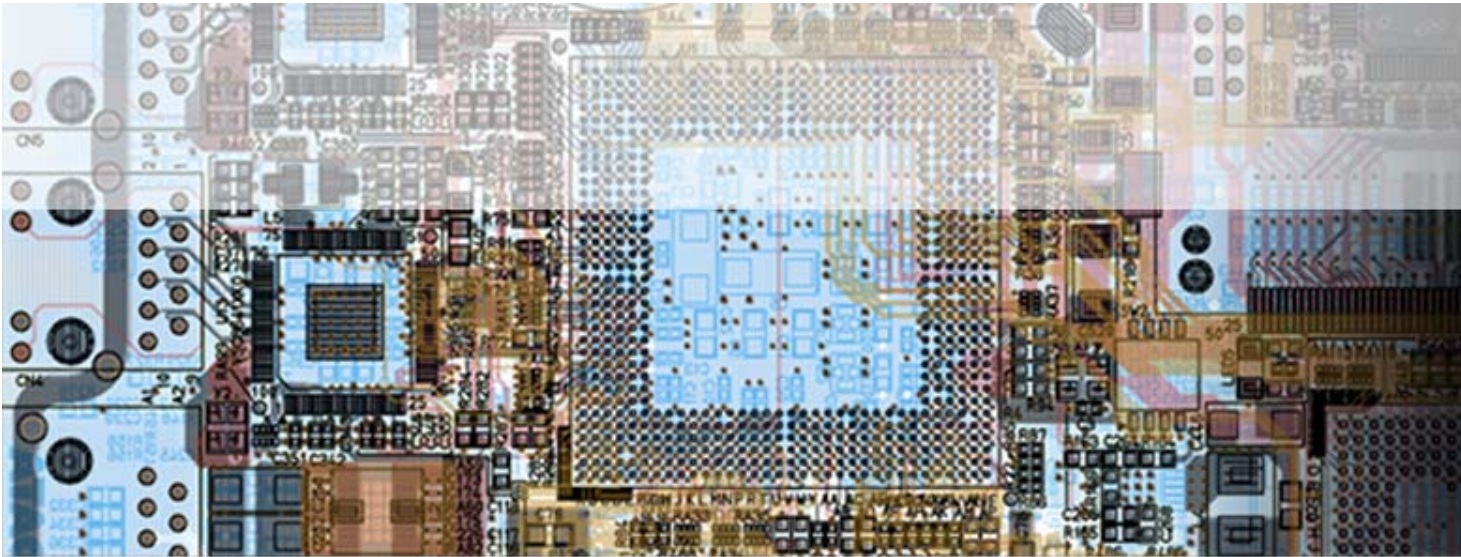


Scatter/Gather Mode

ディスクリプタを使用し、異なった空間やアドレスに連続して転送を行うことが可能。

仮想メモリを使用したOS等で、不連続なアドレス空間が転送元／転送先となる場合に有効です。





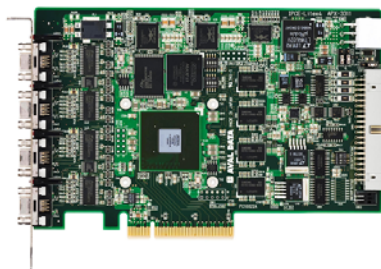
JASDAQ

コード番号
6918

株式会社アバールデータ
開発製品

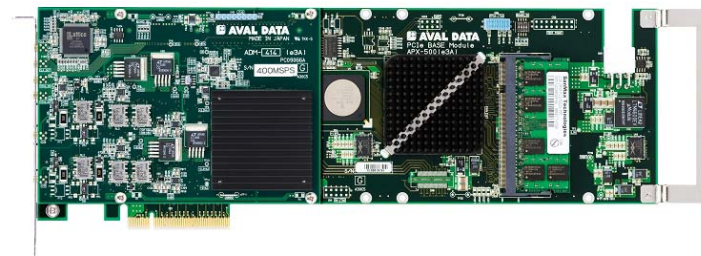
 **AVAL DATA CORPORATION**

超高速ラインナップ



A AIP

画像



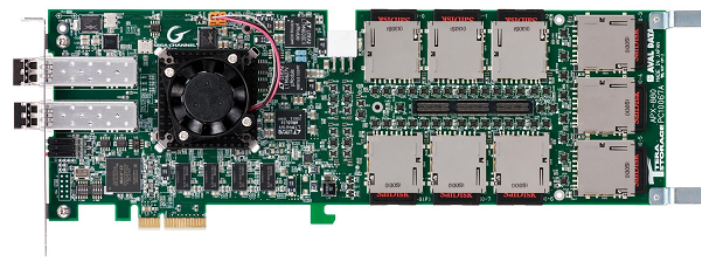
X Express Converter

高速アナログ



G GIGA CHANNEL

光通信



T TERA STORAGE

高速ストレージ

 **AVAL DATA CORPORATION**



画像



- ★次世代カメラインターフェース『CoaXPress』に対応
- ★CXP Quad対応、同軸ケーブル4本で最高25Gbit/s の高速転送
- ★同軸ケーブル1本で、ビデオ・制御・電源を転送
- ★画像バッファとしてDDR3 SO-DIMM搭載/2～8GB選択可能
- ★エンコーダ信号入力、外部タイミングによる画像入力が可能
- ★搭載FPGA: ALTERA社ArriaV GZ / 5AGZME3H2F35C3N



CoaXPress対応画像入力ボード
APX-3664

Express Converter

計測：高速A/D変換ボード／APX-500-414



- ★ サンプルクロック400MHz
- ★ 分解能：14bit
- ★ 2ch入力

高速A/D変換ボード：APX-500-414

400MHz A/D 変換モジュール
ADM-414

200MHz、-3dB →
200MHz、-3dB →

入力レンジ：
1MQ ∥ 50Ω：±100mV～±2V
10MQ：±1V～±20V

PCI Express ベースボード
APX-500

850MB/secを実現するためにはPCの設定も重要です。
※Max Payloadサイズが256Byte以上必要です。(Gen1, Gen2共に)
850MB/sec動作確認PC：
DELL PowerEdgeT610, DELL PowerEdge2900
その他のPCにつきましては弊社までお問い合わせください。



ADMインターフェース
400MHz/14bit×2ch

ADC

ADMインターフェース
400MHz/14bit×2ch

ADM
Series

500MHz A/D 変換モジュール
500MHz/12bit/2ch **ADM-512**

250MHz A/D 変換モジュール
250MHz/13bit/2ch **ADM-213**

お客様に必要な各種の
オリジナルボードの開発

DDR2
5.2GB/secの帯域を持つ
大容量メモリ

AAE-B04
PCI Express Bridge
PCI Express ×4
インターフェース

PCI Express Switch
PCI Express(Gen2) ×8
インターフェース

大容量FPGA

トリガ条件やサンプリングモードなどの機能を搭載。

ユーザの目的に合わせたカスタマイズ可能。

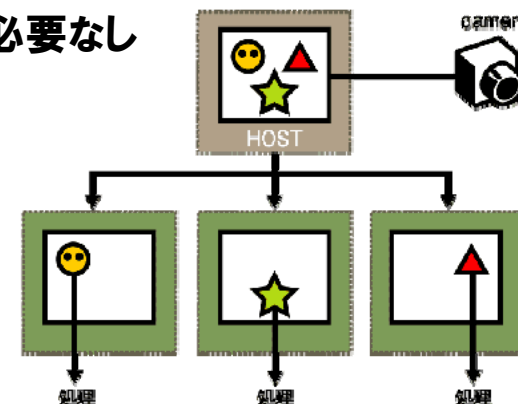
AVAL DATA CORPORATION



- ★ 光ファイバを用いた高速シリアル通信ボード
- ★ メモリを共有することで、分散・集中処理のシステム通信に最適
- ★ ハードウェアで通信処理をするため、ユーザーでのプログラム作成の必要なし

GiGA CHANNELの使用構成例

<分散処理>



GiGA CHANNELシリーズ

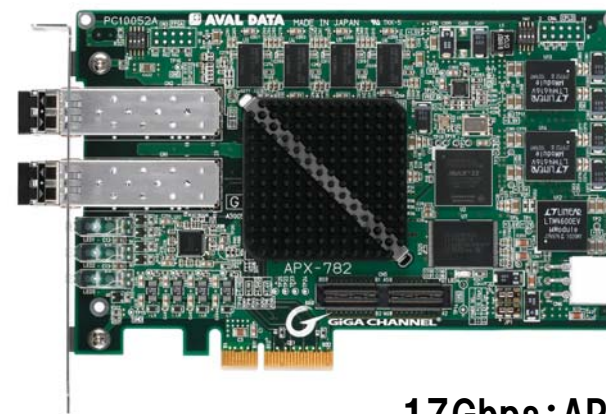
主な製品

PCI Expressボード

20Gbps	:APX-7102
17Gbps	:APX-782
8Gbps	:APX-781
4Gbps	:APX-741A-1

アドオンタイプ

17Gbps	:AGM-782
8Gbps	:AGM-781
4Gbps	:AGM-741



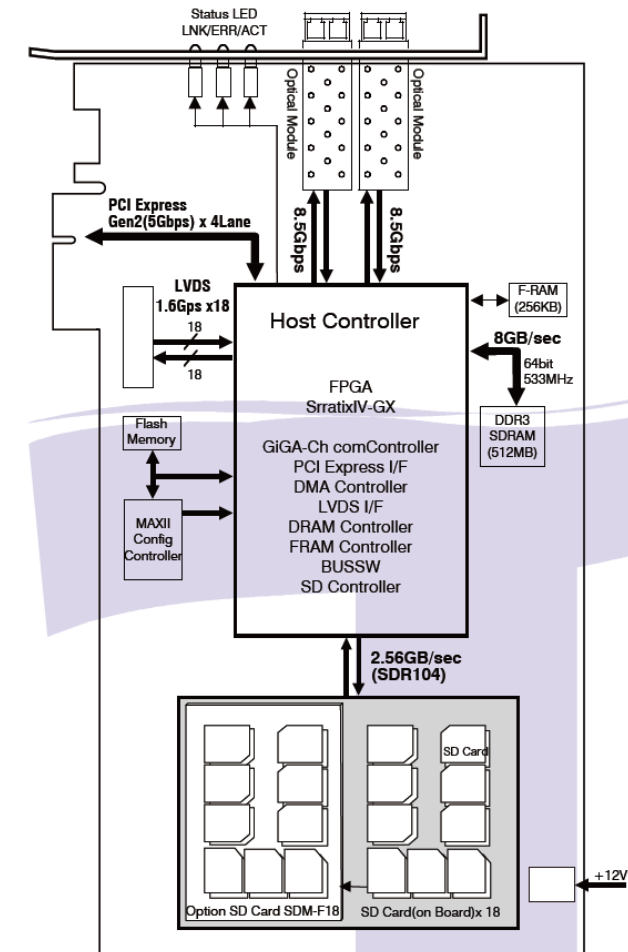
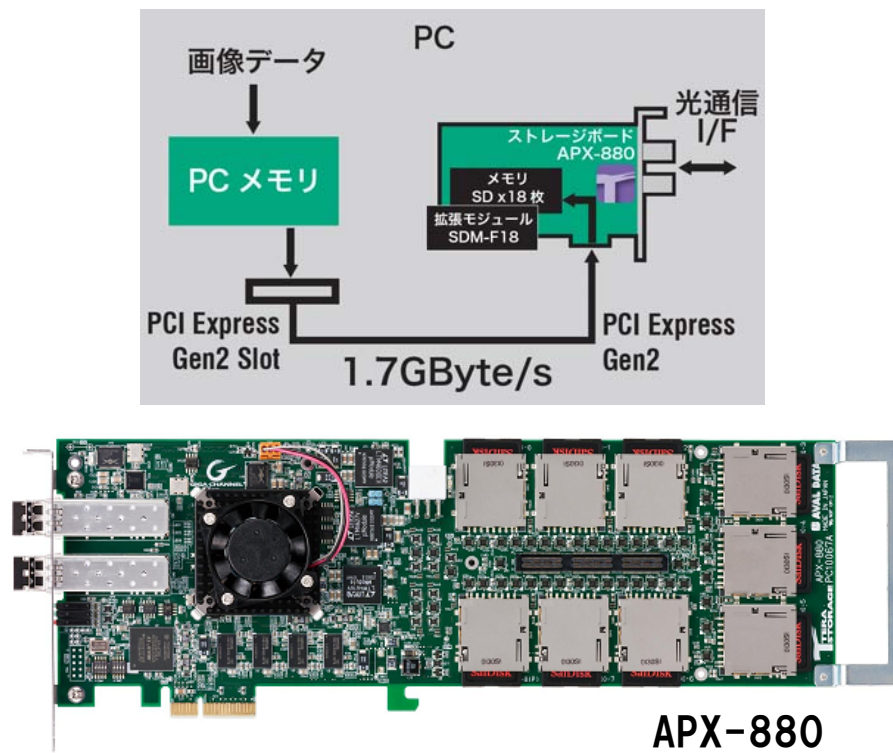
17Gbps:APX-782

 **TERA STORAGE**

高速ストレージ/APX-880(開発中)

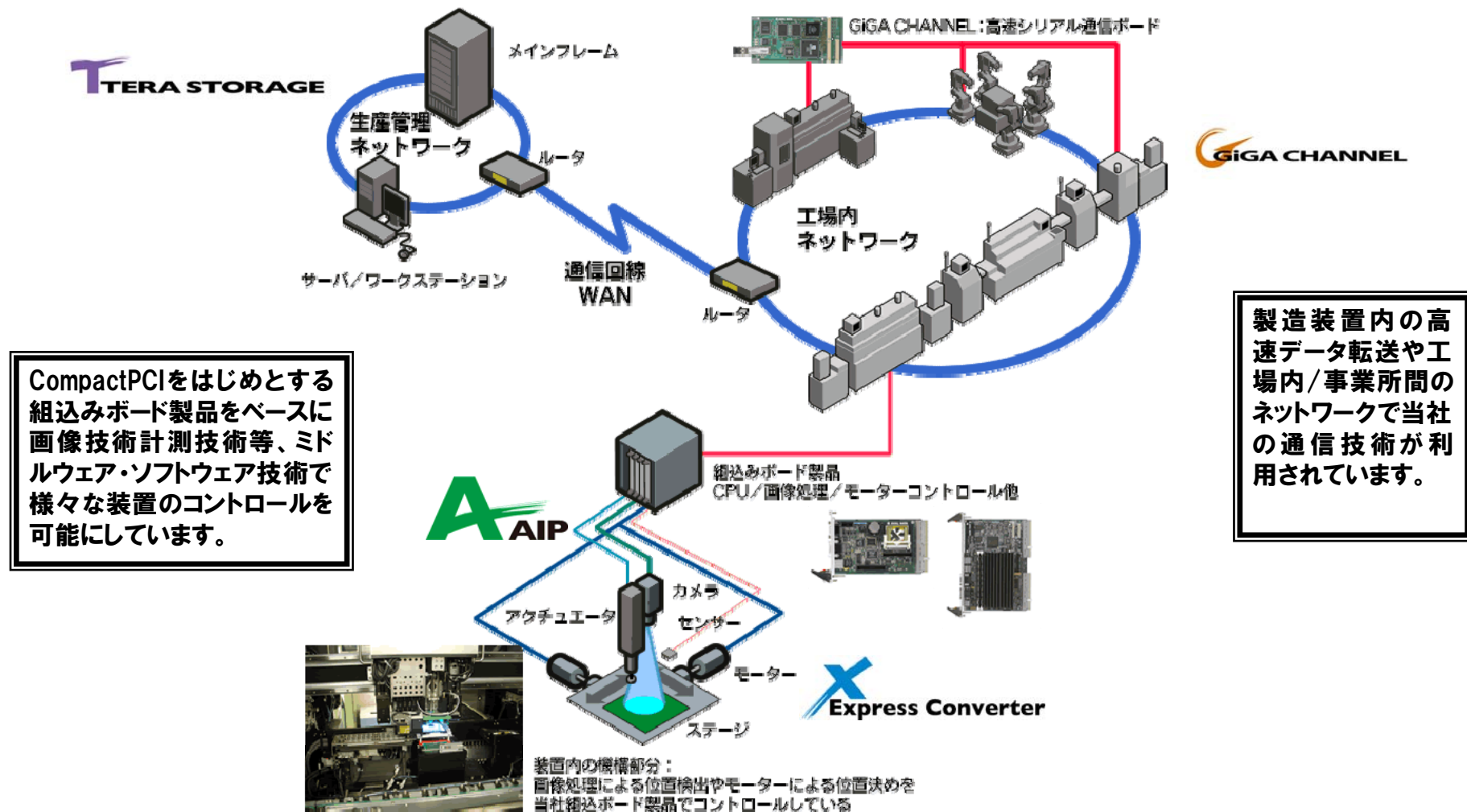


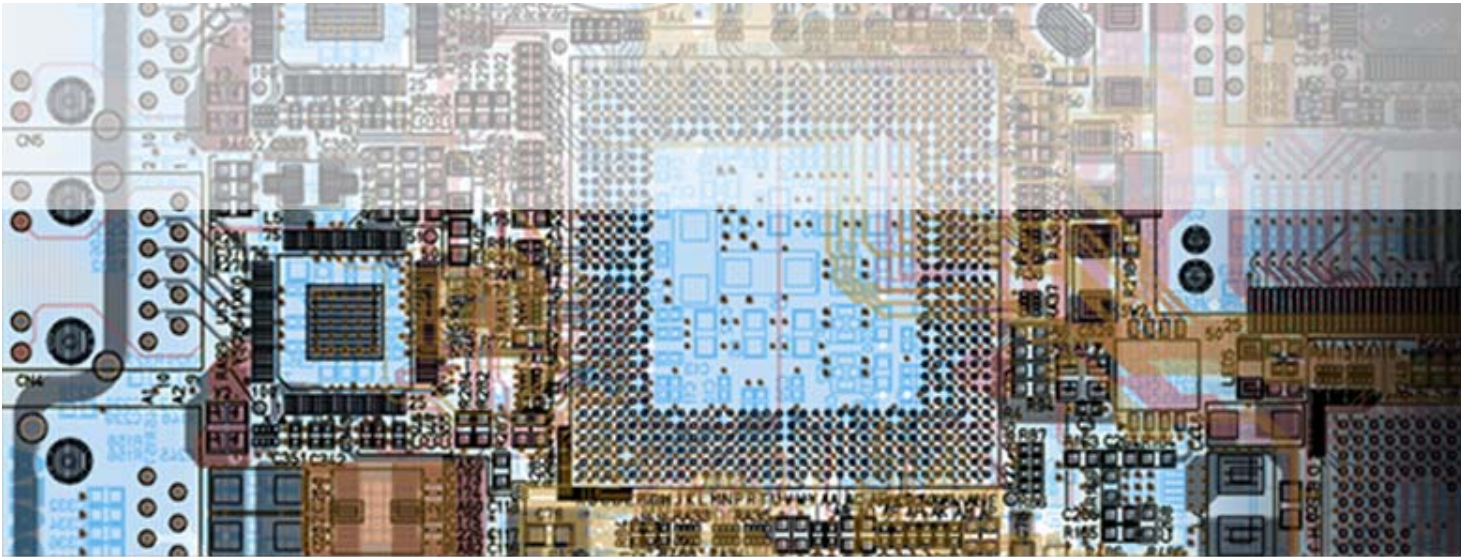
- ★ PCI Express2.0 (5.0Gbps) ×4 レーン対応
- ★ SD カードを使用して最大:2TByteかつ高速アクセスを実現
- ★ 実行速度 1.4GB/Secを実現
- ★ 光通信 I/Fを搭載し、高速データ通信が可能
- ★ ストレージ一時バッファとしてDDR3:512MB搭載
- ★ 搭載FPGA: ALTERA社StratixIV GX



コア技術の応用例

CPUから画像・通信の応用技術でシステム構築をサポートします。





JASDAQ

コード番号
6918

<http://www.avaldata.co.jp>

ありがとうございました

 **AVAL DATA CORPORATION**